

PAT-NO: JP404236650A

DOCUMENT-IDENTIFIER: JP 04236650 A

TITLE: DATA TRANSFER SYSTEM

PUBN-DATE: August 25, 1992

INVENTOR-INFORMATION:

NAME

YOSHIOKA, ATSUSHI

FUJIHIRA, ATSUSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD.	N/A

APPL-NO: JP03004724

APPL-DATE: January 18, 1991

INT-CL (IPC): G06F013/36

ABSTRACT:

PURPOSE: To transfer data between devices which transmit and receive data different in bit width by connecting a partial word device, which transmits and receives partial data whose bit width is integral fraction of a preliminarily determined bit width, to a bus through a converting circuit.

CONSTITUTION: A data transfer controller 300 controls transfer of data having the preliminarily determined bit width between devices 100. A partial word device 400 is connected to a bus 200 through a converting circuit 500 and transmits and receives partial data whose bit width is 1/(an integer) of the prescribed bit width. A data multiplexing/demultiplexing means 501 of the converting circuit 500 demultiplexes data transmitted from the bus 200 into plural partial data and successively transmits them to the device 400. Plural partial data transmitted from the device 400 are coupled to generate data, and this data is transmitted to the bus 200. An address converting means 502 converts an address corresponding to data transmitted from the bus 200 to a partial address corresponding to each partial data and transmits it to the device 400.

COPYRIGHT: (C)1992,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-236650

(43)公開日 平成4年(1992)8月25日

(51)Int.Cl.⁵

G 0 6 F 13/36

識別記号

庁内整理番号

3 1 0 B 7052-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全8頁)

(21)出願番号

特願平3-4724

(22)出願日

平成3年(1991)1月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 吉岡 敦史

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 藤平 淳

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

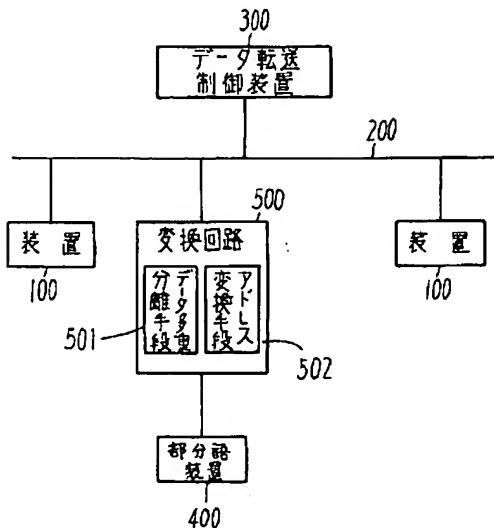
(54)【発明の名称】 データ転送方式

(57)【要約】

【目的】 所定ビット幅のデータを複数の装置間で転送する情報処理システムにおけるデータ転送方式に關し、一種類のビット幅のデータのみを転送制御するデータ転送制御装置を機能変更すること無く、ビット幅の異なるデータを送受信する装置間のデータ転送を可能とすることを目的とする。

【構成】 敷数分の一のビット幅を有する部分データを送受信する部分語装置を、バスから伝達されるデータを複数の部分データに分離して順次部分語装置に伝達し、且つ部分語装置から伝達される複数の部分データをデータに結合してバスに伝達するデータ多重分離手段と、バスから伝達されるデータに対応するアドレスを、各部分データに対応する部分アドレスに変換して部分語装置に伝達するアドレス変換手段とを具備する変換回路を介してバスに接続する様に構成する。

本発明の原理図



【特許請求の範囲】

【請求項1】複数の装置(100)およびデータ転送制御装置(300)をバス(200)により接続し、前記データ転送制御装置(300)は、前記各装置(100)間で、予め定められたビット幅を有するデータの転送を制御する情報処理システムにおいて、前記ビット幅の整数分の一のビット幅を有する部分データを送受信する部分語装置(400)を、変換回路(500)を介して前記バス(200)に接続し、前記変換回路(500)は、前記バス(200)から伝達される前記データを複数個の前記部分データに分離して順次前記部分語装置(400)に伝達し、且つ前記部分語装置(400)から伝達される複数個の前記部分データを結合して前記データを作成して前記バス(200)に伝達するデータ多重分離手段(501)と、前記バス(200)から伝達される前記データに対応するアドレスを、対応する前記各部分データに対応する部分アドレスに変換して前記部分語装置(400)に伝達するアドレス変換手段(502)とを具備することを特徴とするデータ転送方式。

【請求項2】前記データ多重分離手段(501)は、前記バス(200)から伝達される32ビット幅を有するデータを、それぞれ16ビット幅を有する二組の部分データに分離して前記部分語装置(400)に伝達し、且つ前記部分語装置(400)から伝達されるそれぞれ16ビット幅を有する二組の部分データを結合して32ビット幅を有するデータを作成することを特徴とする請求項1記載のデータ転送方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、所定ビット幅のデータを、データ転送制御装置の制御の下に、複数の装置間で転送する情報処理システムにおけるデータ転送方式に関する。

【0002】

【従来の技術】図4は本発明の対象となる情報処理システムの一例を示す図であり、図5は従来ある入出力制御装置の一例を示す図である。

【0003】図4においては、中央制御装置(CC)1および主記憶装置(MM)2がチャネル制御装置(CHC)3を介してシステムバス4に接続されており、またシステムバス4には、複数の入出力装置(IO)6が入出力制御装置(IOC)5を介して接続されている。

【0004】各入出力制御装置(IOC)5は、図5に示される如く、プロセッサ(CPU)51、メモリユニット(MU)52およびダイレクトメモリーアクセス制御部(DMAC)53を具備しており、内部バス54を経由して相互に接続されている。

【0005】なお内部バス54は、一乃至複数の入出力装置(IO)6に接続されると共に、システムバス4にも接続されている。ダイレクトメモリーアクセス制御部

10

20

40

50

(DMAC)53は、プロセッサ(CPU)51の制御の下に、入出力装置(IO)6から抽出したデータを、システムバス4およびチャネル制御装置(CHC)3を経由して主記憶装置(MM)2に転送・格納し、また主記憶装置(MM)2から抽出したデータを、チャネル制御装置(CHC)3、システムバス4および内部バス54を経由して入出力装置(IO)6に転送・格納する。

【0006】なおダイレクトメモリーアクセス制御部(DMAC)53は、データを抽出する際に転送元領域を指定するアドレスを内部バス54に送出し、またデータを転送・格納する際に転送先領域を指定するアドレスを内部バス54に送出す。

【0007】ここで、入出力装置(IO)6が32ビット幅のデータを送受信するものとすると、ダイレクトメモリーアクセス制御部(DMAC)53および内部バス54は、それぞれ32ビット幅のデータを転送可能な如く構成されており、またダイレクトメモリーアクセス制御部(DMAC)53が内部バス54に送出するアドレスはバイト形式で、4バイト単位に更新される。

【0008】一方、中央制御装置(CC)1、主記憶装置(MM)2、チャネル制御装置(CHC)3およびシステムバス4も32ビット幅のデータを処理する場合には、ダイレクトメモリーアクセス制御部(DMAC)53が内部バス54に送出するアドレスにより、主記憶装置(MM)2上の転送元領域および転送先領域を指定し、32ビット幅のデータを転送可能であるが、中央制御装置(CC)1、主記憶装置(MM)2、チャネル制御装置(CHC)3およびシステムバス4が16ビット幅のデータしか処理出来ぬ場合には、32ビット幅のデータしか転送出来ぬダイレクトメモリーアクセス制御部(DMAC)53は、システムバス4を経由して主記憶装置(MM)2との間で16ビット幅のデータを転送することが不可能である。

【0009】

【発明が解決しようとする課題】以上の説明から明らかに如く、従来ある入出力制御装置(IOC)5においては、32ビット幅のデータを送受信する入出力装置(IO)6と、16ビット幅のデータを送受信する主記憶装置(MM)2との間で、データを転送することは不可能であった。

【0010】本発明は、一種類のビット幅を有するデータのみの転送制御機能を具備するデータ転送制御装置の機能変更を行うこと無く、ビット幅の異なるデータを送受信する装置間のデータ転送を可能とすることを目的とする。

【0011】

【課題を解決するための手段】図1は本発明の原理を示す図である。図1において、100は装置、300はデータ転送制御装置、200は装置100およびデータ転送制御装置300を接続するバス、400は部分語装置

である。

【0012】データ転送制御装置300は、各装置100間で、予め定められたビット幅を有するデータの転送を制御する。部分語装置400は、前述のビット幅の整数分の一のビット幅を有する部分データを送受信する。

【0013】500は、本発明により部分語装置400をバス200を接続する為に設けられた変換回路である。501は、本発明により変換回路500に設けられたデータ多重分離手段である。

【0014】502は、本発明により変換回路500に10設けられたアドレス変換手段である。

【0015】

【作用】データ多重分離手段501は、バス200から伝達されるデータを複数個の部分データに分離して順次部分語装置400に伝達し、且つ部分語装置400から伝達される複数個の部分データを結合してデータを作成してバス200に伝達する。

【0016】アドレス変換手段502は、バス200から伝達されるデータに対応するアドレスを、対応する各部分データに対応する部分アドレスに変換して部分語装置400に伝達する。

【0017】なおデータ多重分離手段501は、バス200から伝達される32ビット幅を有するデータを、それぞれ16ビット幅を有する二組の部分データに分離して部分語装置400に伝達し、且つ部分語装置400から伝達されるそれぞれ16ビット幅を有する二個の部分データから32ビット幅を有するデータを合成することが考慮される。

【0018】従って、一種類のビット幅を有するデータのみの転送をデータ転送制御装置により制御されるバスに、整数分の一のビット幅を有する部分データを送受信する装置を接続可能となり、データ転送制御装置の機能を変更すること無く当該情報処理システムの融通性が向上する。

【0019】

【実施例】以下、本発明の一実施例を図面により説明する。図2は本発明の一実施例による入出力制御装置を示す図であり、図3は図2におけるバス変換回路の一例を示す図である。なお、全図を通じて同一符号は同一対象物を示す。また対象とする情報処理システムは図4に示す通りとする。

【0020】図2および図4においては、図1における装置100として入出力装置(I/O)6が示され、また図1におけるバス200として内部バス54が示され、また図1におけるデータ転送制御装置300としてダイレクトメモリーアクセス制御部(DMAC)53が示され、また図1における部分語装置400としてシステムバス4、チャネル制御装置(CHC)3、主記憶装置(MM)2および中央制御装置(CC)1が示され、また図1における変換回路500としてバス変換回路7が

設けられている。

【0021】また図3においては、図1におけるデータ多重分離手段501として制御部74により制御される書込ラッチゲート(LG_W)71_{LL}、71_{RU}、読出ラッチゲート(LG_R)71_{RL}、71_{RU}、書込ゲート(G_W)72₁および読出ゲート(G_R)72₁が設けられ、また図1におけるアドレス変換手段502として制御部74により制御されるアドレス変換部(ADC)73が設けられている。

【0022】なお書込ラッチゲート(LG_W)71_{VL}、71_{VR}、読出ラッチゲート(LG_R)71_{VL}、71_{VR}、書込ゲート(G_W)72₂および読出ゲート(G_R)72₂は、制御部74から第一活性化信号K₁または第二活性化信号K₂を伝達されぬ場合には不活性状態にあり、データ線75_L、75_U、76_Lおよび76_Uに対して高インピーダンス状態を示す。

【0023】またデータ線75_Lは、内部バス54の内の、32ビット幅を有するデータ(以後一語データD_Fと称する)を転送するデータバスの内、下位16ビットを転送するデータ線に接続され、またデータ線75_Uは、内部バス54の内の二語データD_Fを転送するデータバスの内、上位16ビットを転送するデータ線に接続され、またデータ線76_Lは、システムバス4が16ビット幅を有するデータ(以後半語データD_Hと称する)を転送する場合には、システムバス4の内の半語データD_Hを転送するデータバスに接続され、またデータ線76_Uは、システムバス4が半語データD_Hを転送する場合には、システムバス4には接続されないが、システムバス4が32ビット幅を有する一語データD_Fを転送する場合には、システムバス4の内の、下位16ビットを転送するデータ線に接続される。なおシステムバス4が一語データD_Fを転送する場合には、データ線76_Uは、システムバス4の内の上位16ビットを転送するデータ線に接続される。

20

30

40

【0024】またアドレス線77_Lは、内部バス54の内の、アドレスを転送するアドレスバスの内、下位2ビットを転送するアドレス線に接続され、またアドレス線77_Uは、内部バス54の内のアドレスバスの内、下位2ビット以外を転送するアドレス線に接続され、またアドレス線78_Lは、システムバス4の内の、アドレスを転送するアドレスバスの内、下位2ビットを転送するアドレス線に接続され、またアドレス線78_Uは、システムバス4の内のアドレスバスの内、下位2ビット以外を転送するアドレス線に接続される。

40

50

【0025】また制御線79は、内部バス54の内の読出書込信号R/Wを転送する制御線に接続され、また制御線80は、システムバス4の内の読出書込信号R/Wを転送する制御線に接続され、また制御線81は、システムバス4の内の中央制御装置(CC)1、主記憶装置(MM)2、チャネル制御装置(CHC)3およびシス

システムバス4が32ビット幅を有する一語データD_Fを処理するか、或いは16ビット幅を有する半語データD_Hを処理するかを識別する半語信号H（一語データD_Fを処理する場合は論理“0”に設定され、半語データD_Hを処理する場合には論理“1”に設定される）を転送する制御線に接続される。

【0026】図2においても、入出力装置（IO）6は32ビット幅を有する一語データD_Fを内部バス54を経由して送受信し、ダイレクトメモリアクセス制御部（DMAC）53は一語データD_Fのみの転送を制御し、また中央制御装置（CC）1および主記憶装置（MM）2は16ビット幅を有する半語データD_Hをシステムバス4を経由して送受信するものとし、またダイレクトメモリアクセス制御部（DMAC）53が内部バス54に送出する転送元および転送先を指定するアドレス（以後一語アドレスA_Fと称する）はバイト形式であり、4バイト単位に更新されるものとする。

【0027】従って、システムバス4からバス変換回路7の制御線81には、論理“1”に設定された半語信号Hが転送されていることとなる。図2乃至図4において、最初に、ダイレクトメモリアクセス制御部（DMAC）53が入出力装置（IO）6から32ビット幅の一語データD_Fを抽出し、システムバス4およびチャネル制御装置（CHC）3を経由して主記憶装置（MM）2に転送するものとする。

【0028】かかる場合にダイレクトメモリアクセス制御部（DMAC）53は、内部バス54を経由してバス変換回路7に、転送すべき一語データD_Fと、主記憶装置（MM）2内の転送先領域を指定する一語アドレスA_Fと、書込状態に設定された読出書込信号R/Wとを伝達する。

【0029】一語データD_Fの内、下位16ビットはデータ線75_lを経由してバス変換回路7に伝達され、上位16ビットはデータ線75_uを経由してバス変換回路7に伝達され、また一語アドレスA_Fの内、下位2ビットはアドレス線77_lを経由してバス変換回路7に伝達され、下位2ビット以外はアドレス線77_uを経由してバス変換回路7に伝達され、また読出書込信号R/Wは制御線79を経由してバス変換回路7に伝達される。

【0030】なお一語アドレスA_Fの下位2ビットは、4バイト単位で更新される一語アドレスA_Fにおいては、常に論理“00”に設定されている。バス変換回路7においては、制御部74が内部バス54内の制御線79を経由して伝達される読出書込信号R/W（書込状態）を受信すると、アドレス変換部（ADC）73に第一制御信号C₁を伝達し、また書込ラッチゲート（LG₁）71_lおよび71_uに第一活性化信号K₁を伝達する。

【0031】第一制御信号C₁を伝達されたアドレス変換部（ADC）73は、アドレス線77_lを経由して伝

達された一語アドレスA_Fの下位2ビットと、アドレス線77_uを経由して伝達された一語アドレスA_Fの下位2ビット以外とを、それぞれアドレス線78_lおよび78_uを経由してシステムバス4に、第一の半語アドレスA_Hとして転送する。

【0032】また第一活性化信号K₁を伝達された書込ラッチゲート（LG₁）71_lおよび71_uは、それぞれデータ線75_lおよび75_uを経由して伝達された一語データD_Fの下位16ビットおよび上位16ビットを受信し、保持する。然し書込ラッチゲート（LG₁）71_lおよび71_uは、保持した一語データD_Fの下位16ビットおよび上位16ビットを、未だデータ線76_lおよび76_uには出力していない。

【0033】続いて制御部74は、書込ラッチゲート（LG₁）71_lに第二活性化信号K₂を伝達し、また書込ゲート（G₁）72_lに第一活性化信号K₁を伝達すると共に、制御線80を経由してシステムバス4に、読出書込信号R/W（書込状態）を送出する。

【0034】第二活性化信号K₂を伝達された書込ラッチゲート（LG₁）71_lは、保持中の一語データD_Fの下位16ビットを、第一の半語データD_Hとして、データ線76_lに送出する。

【0035】また第一活性化信号K₁を伝達された書込ゲート（G₁）72_lは、書込ラッチゲート（LG₁）71_lからデータ線76_lに送出された第一の半語データD_Hを、データ線76_uを経由してシステムバス4に送出する。

【0036】システムバス4に送出された第一の半語アドレスA_H、第一の半語データD_H、並びに読出書込信号R/W（書込状態）が、チャネル制御装置（CHC）3を経由して主記憶装置（MM）2に伝達されることにより、主記憶装置（MM）2の第一の半語アドレスA_Hにより指定される第一の転送先領域に、第一の半語データD_Hが格納される。

【0037】次に制御部74は、アドレス変換部（ADC）73に第二制御信号C₂を伝達し、また書込ゲート（G₁）72_uに伝達中の第一活性化信号K₁を伝達停止する。

【0038】第二制御信号C₂を伝達されたアドレス変換部（ADC）73は、アドレス線77_uを経由して伝達された一語アドレスA_Fの下位2ビット以外はその儘、アドレス線78_uを経由してシステムバス4に転送するが、アドレス線77_lを経由して伝達された一語アドレスA_Fの下位2ビット（論理“00”）は論理“10”に変換し、アドレス線78_lを経由してシステムバス4に送出する。

【0039】その結果、アドレス線78_lおよび78_uを経由してシステムバス4に送出されていた第一の半語アドレスA_Hは、2バイト単位で第二の半語アドレスA_Hに更新されたこととなる。

【0040】また第一活性化信号K₁を伝達停止された書込ゲート(G₁)72₁は、書込ラッチゲート(LG₁)71₁からデータ線76₁に送出されていた第一の半語データD_Hを、データ線76₁に送出しなくなる。

【0041】統いて制御部74は、書込ラッチゲート(LG₁)71₁に第二活性化信号K₂を伝達すると共に、制御線80を経由してシステムバス4に、読出書込信号R/W(書込状態)を送出する。

【0042】第二活性化信号K₂を伝達された書込ラッチゲート(LG₁)71₁は、保持中の一語データD_Fの上位16ビットを、第二の半語データD_Hとしてデータ線76₁を経由してシステムバス4に送出する。

【0043】システムバス4に送出された第二の半語アドレスA_H、第二の半語データD_H、並びに読出書込信号R/W(書込状態)が、チャネル制御装置(CHC)3を経由して主記憶装置(MM)2に伝達されることにより、主記憶装置(MM)2の第一の半語アドレスA_Hにより指定される第一の半語データD_Hが抽出され、チャネル制御装置(CHC)3およびシステムバス4内のデータ線76₁を経由して入出力制御装置(IOC)5内のバス変換回路7に伝達される。

【0044】以上により、ダイレクトメモリアクセス制御部(DMAC)53からバス変換回路7に伝達された一語データD_Fは、第一および第二の半語データD_Hに分離され、ダイレクトメモリアクセス制御部(DMAC)53から伝達された一語アドレスA_Fと同一内容の第一の半語アドレスA_Hにより指定される主記憶装置(MM)2内の第一の転送先領域と、一語アドレスA_Fより2バイト単位で更新済の第二の半語アドレスA_Hにより指定される主記憶装置(MM)2内の第二の転送先領域とに、それぞれ格納されることとなる。

【0045】次に、ダイレクトメモリアクセス制御部(DMAC)53が、主記憶装置(MM)2からチャネル制御装置(CHC)3およびシステムバス4を経由して32ビット幅の一語データD_Fを抽出し、内部バス54を経由して入出力装置(I/O)6に転送するものとする。

【0046】かかる場合にダイレクトメモリアクセス制御部(DMAC)53は、内部バス54を経由してバス変換回路7に、主記憶装置(MM)2内の転送元領域を示す一語アドレスA_Fを、読出状態に設定された読出書込信号R/Wと共に伝達する。

【0047】なお一語アドレスA_Fの下位2ビットは、前述と同様に、常に論理“00”に設定されている。バス変換回路7においては、制御部74が内部バス54内の制御線79を経由して伝達される読出書込信号R/W(読出状態)を受信すると、アドレス変換部(ADC)73に第一制御信号C₁を伝達し、また読出ラッチゲート(LG₁)71₁および読出ゲート(G₁)72₁に第一活性化信号K₁を伝達する。

【0048】第一制御信号C₁を伝達されたアドレス変換部(ADC)73は、アドレス線77₁を経由して伝

達された一語アドレスA_Fの下位2ビットと、アドレス線77₁を経由して伝達された一語アドレスA_Fの下位2ビット以外とを、それぞれアドレス線78₁および78₂を経由してシステムバス4に、第一の半語アドレスA_Hとして転送する。

【0049】システムバス4に送出された読出書込信号R/W(読出状態)および第一の半語アドレスA_Hが、チャネル制御装置(CHC)3を経由して主記憶装置(MM)2に伝達されることにより、主記憶装置(MM)2の第一の半語アドレスA_Hにより指定される第一の転送元領域に格納されている第一の半語データD_Hが抽出され、チャネル制御装置(CHC)3およびシステムバス4内のデータ線76₁を経由して入出力制御装置(IOC)5内のバス変換回路7に伝達される。

【0050】バス変換回路7においては、第一活性化信号K₁を伝達された読出ゲート(G₁)72₁が、データ線76₁を経由して伝達された第一の半語データD_Hを、データ線76₁に伝達し、また第一活性化信号K₁を伝達された読出ラッチゲート(LG₁)71₁が、データ線76₁を経由して伝達された第一の半語データD_Hを受信し、保持する。然し読出ラッチゲート(LG₁)71₁は、保持した第一の半語データD_Hを、未だデータ線75₁には出力していない。

【0051】次に制御部74は、アドレス変換部(ADC)73に第二制御信号C₂を伝達し、また読出ゲート(G₂)72₂に伝達中の第一活性化信号K₁を伝達停止する。

【0052】第二制御信号C₂を伝達されたアドレス変換部(ADC)73は、アドレス線77₂を経由して伝達された一語アドレスA_Fの下位2ビット以外はその儘、アドレス線78₂を経由してシステムバス4に転送するが、アドレス線77₂を経由して伝達された一語アドレスA_Fの下位2ビット(論理“00”)は論理“10”に変換し、アドレス線78₂を経由してシステムバス4に送出する。

【0053】その結果、アドレス線78₁および78₂を経由してシステムバス4に送出されていた第一の半語アドレスA_Hは、2バイト単位で第二の半語アドレスA_Hに更新されたこととなる。

【0054】また第一活性化信号K₁を伝達停止された読出ゲート(G₁)72₁は、データ線76₁から伝達されていた第一の半語データD_Hを、データ線76₁に送出しなくなる。

【0055】統いて制御部74は、制御線80を経由してシステムバス4に、読出書込信号R/W(読出状態)を送出すると共に、読出ラッチゲート(LG₁)71₁に第一活性化信号K₁を伝達する。

【0056】システムバス4に送出された読出書込信号R/W(読出状態)および第二の半語アドレスA_Hが、チャネル制御装置(CHC)3を経由して主記憶装置

(MM) 2 に伝達されることにより、主記憶装置 (MM) 2 の第二の半語アドレス A_H により指定される第二の転送元領域に格納されている第二の半語データ D_H が抽出され、チャネル制御装置 (CHC) 3 およびシステムバス 4 内のデータ線 7 6u を経由して入出力制御装置 (IOC) 5 内のバス変換回路 7 に伝達される。

【0057】バス変換回路 7 においては、第一活性化信号 K_1 を伝達された読出ラッチゲート (LG₂) 7 1_{RL} が、データ線 7 6u を経由して伝達された第二の半語データ D_H を受信し、保持する。然し読出ラッチゲート (LG₂) 7 1_{RL} は、保持した第二の半語データ D_H を、未だデータ線 7 5u には出力していない。

【0058】以上により、読出ラッチゲート (LG₂) 7 1_{RL} には主記憶装置 (MM) 2 の第一の半語アドレス A_H により指定される第一の転送元領域から抽出された第一の半語データ D_H が保持され、また読出ラッチゲート (LG₂) 7 1_{RL} には主記憶装置 (MM) 2 の第二の半語アドレス A_H により指定される第二の転送元領域から抽出された第二の半語データ D_H が保持される。

【0059】次に制御部 7 4 は、読出ラッチゲート (LG₂) 7 1_{RL} および 7 1_{RU} に第二活性化信号 K_2 を伝達する。第二活性化信号 K_2 を伝達された読出ラッチゲート (LG₂) 7 1_{RL} および 7 1_{RU} は、それぞれ保持中の第一の半語データ D_H および第二の半語データ D_H を、それぞれデータ線 7 5l および 7 5u に送出する。

【0060】データ線 7 5l および 7 5u に送出された第一の半語データ D_H および第二の半語データ D_H は、32 ビット幅を有する一語データ D_F として、内部バス 5 4 を経由してダイレクトメモリアクセス制御部 (DMAC) 5 3 に伝達される。

【0061】以上により、ダイレクトメモリアクセス制御部 (DMAC) 5 3 は、内部バス 5 4 を経由してバス変換回路 7 に転送した一語アドレス A_F により指定される転送元領域に格納されている一語データ D_F が抽出されたと判断し、転送先の入出力装置 (IO) 6 への転送処理に移行する。

【0062】以上の説明から明らかな如く、本実施例によれば、バス変換回路 7 は、ダイレクトメモリアクセス制御部 (DMAC) 5 3 から転送される 32 ビット幅を有する一語データ D_F を 16 ビット幅を有する第一および第二の半語データ D_H に分離し、ダイレクトメモリアクセス制御部 (DMAC) 5 3 から転送される一語アドレス A_F を第一の半語アドレス A_H とし、第一の半語データ D_H をシステムバス 4 およびチャネル制御装置 (CHC) 3 を経由して主記憶装置 (MM) 2 に格納し、統いて一語アドレス A_F を 2 バイト単位で更新して第二の半語アドレス A_H とし、第二の半語データ D_H をシステムバス 4 およびチャネル制御装置 (CHC) 3 を経由して主記憶装置 (MM) 2 に格納し、またダイレクトメモリアクセス制御部 (DMAC) 5 3 から転送される一語

アドレス A_F を第一の半語アドレス A_H とし、主記憶装置 (MM) 2 に格納されている第一の半語データ D_H を抽出し、チャネル制御装置 (CHC) 3 およびシステムバス 4 を経由して受信・保持し、統いて一語アドレス A_F を 2 バイト単位で更新して第二の半語アドレス A_H とし、主記憶装置 (MM) 2 に格納されている第二の半語データ D_H を抽出し、チャネル制御装置 (CHC) 3 およびシステムバス 4 を経由して受信・保持し、第一および第二の半語データ D_H を一語データ D_F としてダイレクトメモリアクセス制御部 (DMAC) 5 3 に転送することとなり、32 ビット幅の一語データ D_F のみを処理するダイレクトメモリアクセス制御部 (DMAC) 5 3 により、16 ビット幅の半語データ D_H を処理する中央制御装置 (CC) 1、主記憶装置 (MM) 2、チャネル制御装置 (CHC) 3 およびシステムバス 4 との間でデータの転送が可能となる。

【0063】なお、図 2 乃至図 4 はあく迄本発明の一実施例に過ぎず、例えば中央制御装置 (CC) 1、主記憶装置 (MM) 2、チャネル制御装置 (CHC) 3 およびシステムバス 4 は 16 ビット幅のデータを処理するものに限定されることは無く、8 ビット幅のデータを処理する等、他に幾多の変形が考慮されるが、何れの場合にも本発明の効果は変わらない。また変換回路 5 0 0 の構成は図示されるバス変換回路 7 に限定されることは無く、他に幾多の変形が考慮されるが、何れの場合にも本発明の効果は変わらない。また本発明の対象とする装置 10 0 および部分語装置 4 0 0 は、図示される入出力装置 (IO) 6 および中央制御装置 (CC) 1、主記憶装置 (MM) 2、チャネル制御装置 (CHC) 3 およびシステムバス 4 に限定されることは無く、他に幾多の変形が考慮されるが、何れの場合にも本発明の効果は変わらない。更に本発明の対象とする情報処理システムは、図示されるものに限定されることは言う迄も無い。

【0064】

【発明の効果】以上、本発明によれば、前記情報処理システムにおいて、一種類のビット幅を有するデータのみの転送をデータ転送制御装置により制御されるバスに、整数分の一つのビット幅を有する部分データを送受信する装置を接続可能となり、データ転送制御装置の機能を変更すること無く当該情報処理システムの融通性が向上する。

【図面の簡単な説明】

【図 1】 本発明の原理を示す図

【図 2】 本発明の一実施例による入出力制御装置を示す図

【図 3】 図 2 におけるバス変換回路の一例を示す図

【図 4】 本発明の対象となる情報処理システムの一例を示す図

【図 5】 従来ある入出力制御装置の一例を示す図

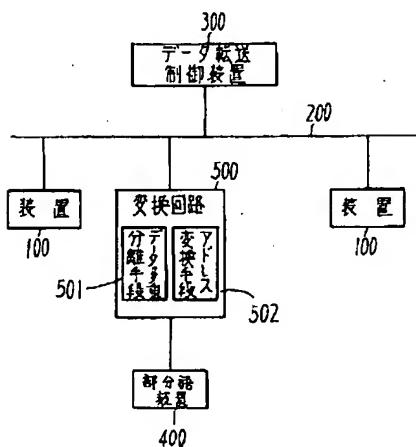
【符号の説明】

11

- 1 中央制御装置 (CC)
- 2 主記憶装置 (MM)
- 3 チャネル制御装置 (CHC)
- 4 システムバス
- 5 入出力制御装置 (IOC)
- 6 入出力装置 (IO)
- 7 バス変換回路
- 5.1 プロセッサ (CPU)
- 5.2 メモリユニット (MU)
- 5.3 ダイレクトメモリアクセス制御部 (DMAC)
- 5.4 内部バス
- 7.1_{RL}、7.1_{RU} 読出ラッチゲート (LG₁)
- 7.1_{RL}、7.1_{RU} 書込ラッチゲート (LG₂)
- 7.2_R 読出ゲート (GR)

【図1】

本発明の原理図

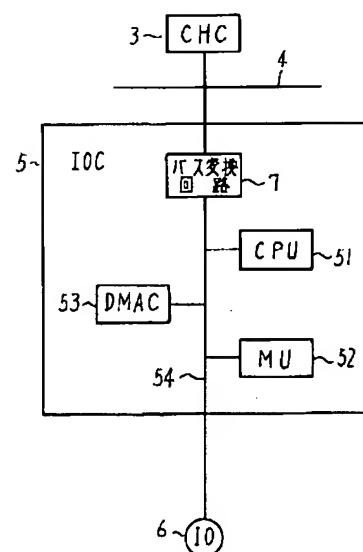


12

- 7.2_R 書込ゲート (GR)
- 7.3 アドレス変換部 (ADC)
- 7.4 制御部
- 7.5_L、7.5_U、7.6_L、7.6_U データ線
- 7.7_L、7.7_U、7.8_L、7.8_U アドレス線
- 7.9、8.0、8.1 制御線
- 100 装置
- 200 バス
- 300 データ転送制御装置
- 400 部分語装置
- 500 変換回路
- 501 データ多重分離手段
- 502 アドレス変換手段

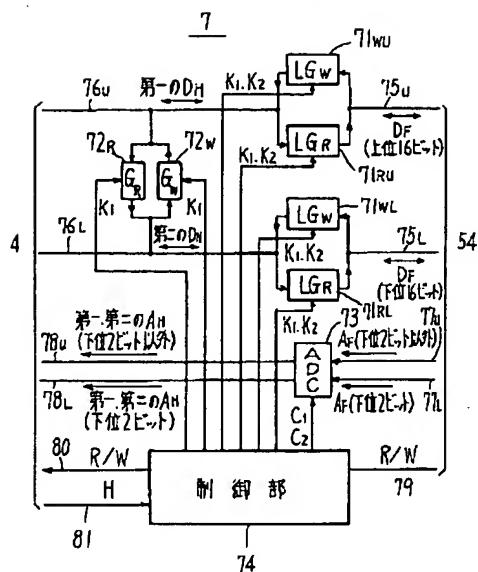
【図2】

本発明による入出力制御装置



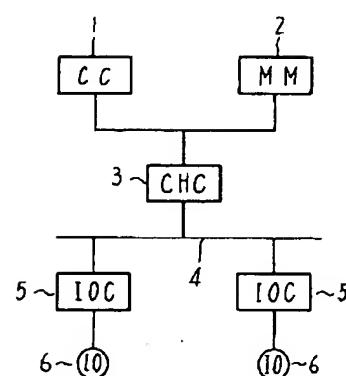
【図3】

図2における3バス変換回路



【図4】

本発明の対象となる情報処理システム



【図5】

従来ある3入出力制御装置

